



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07078788 A**(43) Date of publication of application: **20 . 03 . 95**

(51) Int. Cl.

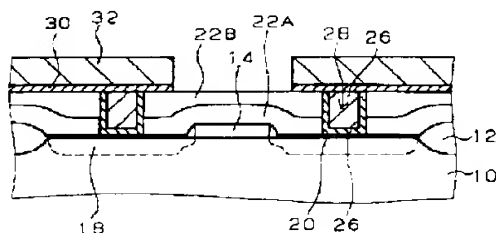
H01L 21/28**H01L 21/3205****H01L 21/768**(21) Application number: **05173702**(71) Applicant: **SONY CORP**(22) Date of filing: **21 . 06 . 93**(72) Inventor: **SUMI HIROBUMI**(54) **SEMICONDUCTOR DEVICE WIRING
STRUCTURE, FORMING METHOD THEREOF,
AND MOS TRANSISTOR**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To provide a method of forming a semiconductor device wiring structure which is capable of lessening a lower conductor region in sheet resistance, restrained from increasing in contact resistance and junction leakage, and set excellent in barrier properties.

CONSTITUTION: The wiring structure of a semiconductor device is composed of a lower conductor region 18 formed on a semiconductor substrate 10, an upper wiring layer 32 formed on an insulating layer 22b which covers the lower conductor region 18, and a connection hole 28 which electrically connects the lower conductor region 18 and the upper wiring layer 32 together. A single crystal CoSi_2 layer 20 and a single crystal TiN layer 26 are formed on the base of the connection hole 28 facing the semiconductor substrate 10 in this sequence. The wiring forming method, includes a step wherein a single crystal CoSi_2 layer is epitaxially grown on the base of a connection hole and a step wherein a single crystal TiN layer is epitaxially grown on the single crystal CoSi_2 layer.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-78788

(43)公開日 平成7年(1995)3月20日

(51)Int.Cl.⁶

H 0 1 L 21/28

識別記号

3 0 1 S

庁内整理番号

7376-4M

R 7376-4M

F I

技術表示箇所

21/3205

H 0 1 L 21/ 88

B

N

審査請求 未請求 請求項の数7 F D (全 11 頁) 最終頁に続く

(21)出願番号 特願平5-173702

(22)出願日 平成5年(1993)6月21日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 角 博文

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 弁理士 山本 孝久

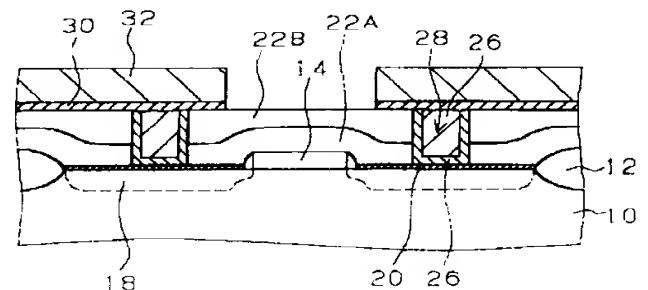
(54)【発明の名称】 半導体装置における配線構造及び配線形成方法並びにMOS型トランジスタ

(57)【要約】

【目的】下層導体領域のシート抵抗の低減を図ることができ、コンタクト抵抗や接合リークが増大することを抑制でき、しかもバリア性に優れた半導体装置における配線構造及びその形成方法を提供する。

【構成】半導体装置における配線構造は、半導体基板10に形成された下層導体領域18と、下層導体領域18を被覆する絶縁層22B上に形成された上層配線層32と、下層導体層と上層配線層とを電気的に接続する接続孔28とから成る。そして、接続孔28の底部には、半導体基板側から、単結晶C o S i₂層20及び単結晶T i N層26が形成されている。配線形成方法は、少なくとも接続孔の底部に、単結晶C o S i₂層をエピタキシャル成長させる工程、及び単結晶C o S i₂層上に単結晶T i N層をエピタキシャル成長させる工程を含む。

(実施例1)



【特許請求の範囲】

【請求項1】半導体基板に形成された下層導体領域と、該下層導体領域を被覆する絶縁層上に形成された上層配線層と、該下層導体層と上層配線層とを電気的に接続する接続孔とから成る、半導体装置における配線構造であって、

接続孔の底部には、半導体基板側から、単結晶C o S i₂層及び単結晶T i N層が形成されていることを特徴とする半導体装置における配線構造。

【請求項2】半導体基板はシリコン半導体基板から成ることを特徴とする請求項1に記載の半導体装置における配線構造。

【請求項3】シリコン半導体基板の方位は(100)であることを特徴とする請求項2に記載の半導体装置における配線構造。

【請求項4】半導体基板に形成された下層導体領域と、該下層導体領域を被覆する絶縁層上に形成された上層配線層と、該下層導体層と上層配線層とを電気的に接続する接続孔とから成る、半導体装置における配線構造を形成する配線形成方法であって、

少なくとも接続孔の底部に、単結晶C o S i₂層をエビタキシャル成長させる工程、及び該単結晶C o S i₂層上に単結晶T i N層をエビタキシャル成長させる工程を含むことを特徴とする配線形成方法。

【請求項5】前記単結晶T i N層をエビタキシャル成長させる前の雰囲気の真空度が 1.3×10^{-5} Pa以下であることを特徴とする請求項4に記載の配線形成方法。

【請求項6】前記単結晶T i N層をエビタキシャル成長させる前に、単結晶C o S i₂層表面に形成された自然酸化膜を水素プラズマ処理にて除去する工程を含むことを特徴とする請求項4又は請求項5に記載の配線形成方法。

【請求項7】半導体基板に形成されたソース・ドレイン領域と、該ソース・ドレイン領域を被覆する絶縁層上に形成された上層配線層と、該ソース・ドレイン領域と上層配線層とを電気的に接続する接続孔とから成る配線構造を有するMOS型トランジスタであって、接続孔の底部には、半導体基板側から、単結晶C o S i₂層及び単結晶T i N層が形成されていることを特徴とするMOS型トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置における配線構造及び配線形成方法、並びにMOS型トランジスタに関する。

【0002】

【従来の技術】半導体装置の高集積化に伴い、接合深さは一層浅くなりつつある。半導体装置の寸法ルールが $0.1 \mu\text{m}$ レベルになると、接合領域のシート抵抗は $1 \text{ k}\Omega/\square$ 以上になり、半導体素子の応答速度が遅くなる

という問題が生じる。この問題を解決する方法の1つに、半導体基板に形成されたソース・ドレイン領域の表面にC o S i₂、T i S i₂等のサリサイドを形成させる方法がある。

【0003】ソース・ドレイン領域と上層配線層とを電気的に接続するためには接続孔を形成する必要がある。接続孔は、ソース・ドレイン領域を被覆する絶縁層を形成した後、ソース・ドレイン領域の上方の絶縁層に開口部を形成し、かかる開口部を含む絶縁層上にバリア層を形成し、更にこのバリア層上に金属配線材料を堆積させることによって開口部をバリア層及び金属配線材料で埋め込むことで形成される。バリア層は、ソース・ドレイン領域と開口部内の金属配線材料との間の反応を抑制するために形成される。

【0004】半導体装置の寸法ルールが微細化するに従い、接続孔の径も微細化する傾向にある。その結果、開口部内におけるバリア層のカバレッジが低下し、バリア層のバリア性が低下するという問題がある。

【0005】ここで、従来の半導体装置の製造プロセスの概要を、図6を参照して、以下に簡単に説明する。

【0006】[工程-10]半導体基板10に、従来の方法で素子分離領域12及びゲート電極14を形成する。

【0007】[工程-20]LDD(Lightly-Doped Drain)構造を形成するためにイオン注入を行い、次いでゲートサイドウォール16を形成した後、イオン注入を行いソース・ドレイン領域から成る下層導体領域18を形成する(図6の(A)参照)。

【0008】[工程-30]ソース・ドレイン領域から成る下層導体領域18のシート抵抗の低減化のために、下層導体領域18の表面にC o S i₂サリサイド層100を形成する(図6の(B)参照)。そのために、全面にC o層を形成した後、熱処理を行い、下層導体領域18中のS iとC o層中のC oとを反応させてC o S i₂層100を形成させる。未反応のC o層は塩酸過水で選択的に除去する。

【0009】[工程-40]その後、全面に絶縁層22を形成し、更に、開口部24を下層導体領域18の上方に形成する(図6の(C)参照)。

【0010】[工程-50]次いで、例えばスパッタ法にて開口部24を含む絶縁層22上にバリア層(下からT i層/T i N層から成る)102を形成し、更にタングステン層104をCVD法にて全面に堆積させた後、絶縁層22上のタングステン層104及びバリア層102を選択的に除去して、開口部24内にタングステンプラグから成る接続孔28を形成する(図7の(A)参照)。次いで、下から、T i層/T i O N層/A l-S i層をスパッタ法にて全面に堆積させた後、これらの層をパターニングすることによって、配線106を形成する(図7の(B)参照)。尚、106AはT i層/T i

10

20

30

40

50

ON層を示す。

【0011】上記プロセスにおいて、開口部24内に形成するバリア層102はスパッタ法で形成されるために、開口部24のアスペクト比が高くなるに従い、開口部24内のバリア層102のカバレッジが非常に悪くなる。その結果、開口部24底部のバリア層102の厚さが薄くなる。このため、CVD法にてタングステン層104を堆積させるとき、CVD用原料ガス(WF₆)中に含まれるフッ素によってバリア層102が侵食され、更にはソース・ドレイン領域18がフッ素で腐食される。その結果、接合リークが増大を招くという問題が発生する。

【0012】開口部24内におけるバリア層102のカバレッジ問題を解決する方法として、CVD法によるTi層/TiN層から成るバリア層の形成を挙げることができる。CVD法を用いると、開口部24底部におけるバリア層102のカバレッジ問題を解決することができる。しかしながら、CVD法で成膜されたTiN層は多結晶性であるため、後の拡散工程やアニール処理工程等の高温熱処理を半導体基板に施したとき、TiN粒界面部がフッ素で腐食されたり、接続孔28内の金属配線材料がTiN粒界面部を拡散して半導体基板を腐蝕するという問題がある。即ち、多結晶性のTiN層は十分なるバリア性を有しているとはいえない。

【0013】このTiN層の多結晶性に起因した問題を解決するために、本出願人はシリコン半導体基板上に直接単結晶TiN層をエピタキシャル成長させることを提案した(特願平5-69197号参照)。

【0014】

【発明が解決しようとする課題】しかしながら、単純にシリコン半導体基板上に単結晶TiN層を形成させても、良好なる電気的なオーミック接合を得ることは難しい。これは、半導体基板上には自然酸化膜が存在し、TiN層をこの自然酸化膜上に形成しても、TiN層は自然酸化膜を還元できないために電気的な導通が取り難いことに起因する。更に、自然酸化膜が残っている場合、TiN層が半導体基板上でエピタキシャル成長し難いという問題もある。

【0015】これらの問題を解決するための方法として、以下の方法を挙げることができる。即ち、TiN層を形成する前に、水素プラズマで自然酸化膜を還元する。これによって自然酸化膜を除去し、シリコン半導体基板の清浄な表面を露出させる。その後、CVD用原料ガスを導入してTiN層をCVD法にて形成する。

【0016】しかし、この方法における問題点として、TiN層の形成前の前処理として、水素プラズマ処理にシリコン半導体基板表面を晒す。その結果、シリコン結晶内に水素原子が入り込み、シリコン結晶に結晶欠陥が発生し、接合リークが増大するという問題点が挙げられる。

【0017】また、シリコン半導体基板上にCVD法でTiN層を形成する際、窒素プラズマ中にシリコン半導体基板表面が晒されるために、シリコン半導体基板表面に薄いSiN膜が形成され、コンタクト抵抗が増加するという問題もある。

【0018】更に、この方法においては、ソース・ドレイン領域表面にはシリコン面が露出していることが条件となる。従って、前述したようなソース・ドレイン領域のシート抵抗の低減化のために、ソース・ドレイン領域表面にサリサイド層を形成することができない。即ち、サリサイド層上には単結晶TiN層を形成することができないという問題もある。

【0019】従って、本発明の目的は、下層導体領域のシート抵抗の低減を図ることができ、コンタクト抵抗や接合リークが増大することを抑制でき、しかもバリア性に優れた半導体装置における配線構造及びその形成方法、並びにMOS型トランジスタを提供することにある。

【0020】

【課題を解決するための手段】上記の目的は、半導体基板に形成された下層導体領域と、下層導体領域を被覆する絶縁層上に形成された上層配線層と、下層導体層と上層配線層とを電気的に接続する接続孔とから成る、半導体装置における配線構造であって、接続孔の底部には、半導体基板側から、単結晶CoSi₂層及び単結晶TiN層が形成されていることを特徴とする本発明の配線構造によって達成することができる。

【0021】本発明の配線構造においては、半導体基板はシリコン半導体基板から成ることが望ましい。また、シリコン半導体基板の方位は(100)であることが好ましい。

【0022】あるいは又、上記の目的は、半導体基板に形成された下層導体領域と、下層導体領域を被覆する絶縁層上に形成された上層配線層と、下層導体層と上層配線層とを電気的に接続する接続孔とから成る、半導体装置における配線構造を形成する配線形成方法であって、少なくとも接続孔の底部に、単結晶CoSi₂層をエピタキシャル成長させる工程、及び単結晶CoSi₂層上に単結晶TiN層をエピタキシャル成長させる工程を含むことを特徴とする本発明の配線形成方法によって達成することができる。

【0023】本発明の配線形成方法においては、単結晶TiN層をエピタキシャル成長させる前の雰囲気の真空度は 1.3×10^{-5} Pa以下であることが望ましい。更に、単結晶TiN層をエピタキシャル成長させる前に、単結晶CoSi₂層表面に形成された自然酸化膜を水素プラズマ処理にて除去する工程を含むことが好ましい。

【0024】更には、上記の目的は、半導体基板に形成されたソース・ドレイン領域と、ソース・ドレイン領域を被覆する絶縁層上に形成された上層配線層と、ソース

10

20

30

40

50

・ドレイン領域と上層配線層とを電気的に接続する接続孔とから成る配線構造を有するMOS型トランジスタであって、接続孔の底部には、半導体基板側から、単結晶C o S i₂層及び単結晶T i N層が形成されていることを特徴とする本発明のMOS型トランジスタによって達成することができる。

【0025】

【作用】本発明においては、少なくとも接続孔の底部に単結晶C o S i₂層が形成されており、下層導体領域の低シート抵抗化を図ることができる。また、単結晶C o S i₂層の上には、バリア性に優れた単結晶T i N層が形成されている。T i N層を形成する前に水素プラズマ処理によって自然酸化膜を除去する際、既にC o S i₂層が形成されているので、シリコン結晶内に水素原子が入り込むことを抑制することができる。更には、T i N層の形成の際、窒素プラズマにシリコン半導体基板表面が晒されることがなく、S i N膜の形成を防止することができる。

【0026】従来、C o S i₂は、(111)シリコン半導体基板上にエピタキシャル成長することが知られて*20

$$N = 2.89 \times 10^{22} P \text{ (MT)}^{-1/2} \text{ cm}^{-2} \text{ s}^{-1} \quad \cdots \text{式(1)}$$

で表わすことができる。

【0029】単結晶T i N層成膜装置のチャンパー内における、CVD原料ガス導入前の真空度が0.133Pa (1×10⁻³toor)の場合、式(1)から、例えば、室温(25°C)において、酸素分子は、シリコン半導体基板1cm²当り、3.0×10¹⁷個/秒衝突する。

【0030】分子間距離は0.24nm(原子間距離+原子直径)程度である。従って、単位面積(1cm²)内の1レイヤー当り、(0.01/0.24×10⁻⁹)²=1.74×10¹⁵個/cm²の酸素分子が存在する。半導体基板に衝突する酸素分子の全てが単結晶C o S i₂層の表面に吸着すると仮定すると、1.74×10¹⁵/3.0×10¹⁷=約0.0058秒で1レイヤーの酸素分子層が形成される。

【0031】10レイヤーのT i Nを1分間で成長させるとすれば、この間、半導体基板表面を清浄な状態に保つ必要がある。そのためには、1分間以上の間、半導体基板表面に酸素分子層を1レイヤーも形成させないレベルの真空度に成膜装置のチャンパーを保つ必要がある。言い換えれば、酸素分子層が1レイヤー形成されるのに要する時間を1分間以上とする必要がある。式(1)から、1秒間に2.9×10¹³個/秒以下の酸素分子が単結晶C o S i₂層に衝突するような真空度が必要となる。即ち、1.3×10⁻⁵Pa以下の真空度を保てば清浄な半導体基板表面上に単結晶T i N層を形成できることになる。

【0032】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。尚、実施例1においては、接続孔の底部

*いる。しかしながら、通常のMOS型トランジスタの作製においては、(100)シリコン半導体基板が多く用いられている。(100)シリコン半導体基板上にC o S i₂をエピタキシャル成長させるためには、予め半導体基板上にC o 層/T i 層の2層を成膜する。その後、これらの2層に熱処理を加えると、単結晶C o S i₂層/S i 構造を得ることができる。この際、単結晶C o S i₂層の表面にはT i O₂層が形成される。

【0027】この単結晶C o S i₂層の上に単結晶T i N層をエピタキシャル成長させるためには、T i N層を成膜させる装置内で水素プラズマ処理を行い、単結晶C o S i₂層表面のT i O₂を還元して除去する必要がある。そして、引き続き、単結晶T i N層をCVD法で連続的に成膜することによって、単結晶T i N層/単結晶C o S i₂層/S i 構造を得ることができる。

【0028】ここで、単結晶T i N層をエピタキシャル成長させるためには、成膜前の真空度も重要な要素となる。気体運動論によると、温度T°K、圧力P(toor)の雰囲気において単位面積(1cm²)に分子量Mの分子が毎秒衝突する数Nは、

にエピタキシャル成長法にて単結晶T i N層を形成している。また、実施例2及び実施例3においては、ソース・ドレイン領域にエピタキシャル成長法にて単結晶T i N層を形成している。

【0033】(実施例1)実施例1は、MOS型トランジスタの製造に本発明の配線構造及び配線形成方法を適用した例である。

【0034】実施例1の配線構造は、図1に模式的な一部断面図を示すように、半導体基板10に形成された下層導体領域18と、下層導体領域18を被覆する絶縁層22A、22B上に形成された上層配線層32と、下層導体層18と上層配線層32とを電気的に接続する接続孔28とから成る。そして、接続孔28の底部には、半導体基板側から、単結晶C o S i₂層20及び単結晶T i N層26が形成されていることを特徴とする。下層導体領域18は、具体的にはソース・ドレイン領域である。半導体基板10はシリコン半導体基板から成り、その方位は(100)である。図1中、12は素子分離領域、14はゲート電極、30はバリア層である。

【0035】図1に示した実施例1の配線構造の形成方法を、図2及び図3を参照して、以下説明する。

【0036】[工程-100] 先ず、方位(100)を有するシリコン半導体基板10上に、従来の方法に基づき、素子分離領域12及びゲート電極14を形成する。次いで、LDD構造を形成するためにイオン注入を行う。その後、ゲートサイドウォール16を形成するために、全面にS i O₂膜をCVD法にて形成する。S i O₂膜の形成条件を、例えば以下のとおりとすることができる。

7

使用ガス : $\text{SiH}_4/\text{O}_2/\text{N}_2=250/250/$
100sccm

温度 : 420°C

圧力 : 13.3Pa

膜厚 : $0.25\mu\text{m}$

【0037】その後、例えば以下の条件で SiO_2 膜を全面エッチバックして、ゲート電極14の側壁にゲートサイドウォール16を形成する。

使用ガス : $\text{C}_4\text{F}_8=50\text{sccm}$

RFパワー : 1200W

圧力 : 2Pa

【0038】次いで、ソース・ドレイン領域を形成のための不純物イオン注入を例えば以下の条件で行い、ソース・ドレイン領域から成る下層導体領域18を形成する(図2の(A)参照)。

[Nチャネル形成の場合]

イオン種 : As 20KeV $5\times 10^{15}/\text{cm}^2$

[Pチャネル形成の場合]

イオン種 : BF_2 20KeV $3\times 10^{15}/\text{cm}^2$

【0039】[工程-110]次に、ソース・ドレイン領域から成る下層導体領域18の表面に単結晶 CoSi 層20を形成する。そのために、先ず、例えば以下の条件でスパッタ法にて全面に厚さ5nmのTi層を形成する。

プロセスガス : Ar=100sccm

パワー : 1kW

成膜温度 : 150°C

圧力 : 0.47Pa

【0040】更に、連続してCo層をスパッタ法にて、例えば以下の条件で形成する。

プロセスガス : Ar=100sccm

パワー : 3kW

成膜温度 : 150°C

圧力 : 0.47Pa

【0041】その後、シリサイド化反応によりCo層から単結晶 CoSi 層20を形成するために、熱処理を行う。熱処理の条件を、例えば、窒素ガス(1気圧)雰囲気中で、 $600^\circ\text{C}\times 60$ 秒とする。これによって、Coと半導体基板中のSiとが反応して、 CoSi が形成される。その後、塩酸と過酸化水素水と純水の混合溶液に10分間半導体基板全体を浸漬することによって、未反応のTi及びCoを選択的に除去する。その後、例えば、窒素ガス(1気圧)雰囲気中で、 $850^\circ\text{C}\times 60$ 秒の熱処理を行い、 CoSi を安定な CoSi_2 とする。こうして、ソース・ドレイン領域から成る下層導体領域18の表面に CoSi_2 層20が形成される(図2の(B)参照)。尚、 CoSi_2 層20が形成される際、その表面には TiO_2 から成る自然酸化膜(図示せず)が形成されるが、この自然酸化膜は後の水素プラズマ処理工程によって除去する。

8

【0042】[工程-120]その後、全面に SiO_2 から成る絶縁層22Aを例えば、TEOSを用いたCVD法にて形成する。絶縁層22Aの形成条件を、例えば、

使用ガス : $\text{TEOS}=50\text{sccm}$

圧力 : 40Pa

温度 : 720°C

膜厚 : 400nm

とすることができる。更に、絶縁層22Aの上に更にBPSGから成る絶縁層22Bを、例えば以下の条件にて形成する。

使用ガス : $\text{SiH}_4/\text{PH}_3/\text{B}_2\text{H}_6/\text{O}_2/\text{N}_2=80/7/7/1000/32000\text{sccm}$

温度 : 400°C

圧力 : $1.0\times 10^5\text{Pa}$

膜厚 : 500nm

【0043】次いで、熱処理を施して絶縁層の表面を平坦化した後、絶縁層22A、22Bにレジストパターンニングを行い、次いでドライエッチング法にて絶縁層22A、22Bに開口部24を形成する(図2の(C)参照)。ドライエッチングの条件を、例えば以下のとおりとすることができる。

使用ガス : $\text{C}_4\text{F}_8=50\text{sccm}$

RFパワー : 1200W

圧力 : 2Pa

【0044】その後、イオン注入を行うことにより、接合領域を形成する。イオン注入の条件を、以下に例示する。

[Nチャネルを形成する場合]

イオン種 : As 20KeV $5\times 10^{15}/\text{cm}^2$

[Pチャネルを形成する場合]

イオン種 : BF_2 20KeV $3\times 10^{15}/\text{cm}^2$

次いで、 $1050^\circ\text{C}\times 5$ 秒の活性化アニールを行う。

【0045】[工程-130]次に開口部24の底部に単結晶TiN層26を形成する。そのために、先ず、

[工程-110]までの処理が行われた基板をECRCVD装置に搬入する。ここで、ECRCVD装置は、単結晶TiN層をエピタキシャル成長させる前の雰囲気の真空度が $1.3\times 10^5\text{Pa}$ 以下となるような装置を使用する。ECRCVD装置に基板を搬入した後、開口部24の底部に露出した CoSi_2 層20の表面に存在する自然酸化膜等を、例えば以下の条件の水素プラズマ処理によって還元し、除去する。

使用ガス : $\text{H}_2/\text{Ar}=26/60\text{sccm}$

マイクロ波パワー : 2.8kW

【0046】次に、ECRCVD法にて単結晶TiN層26を形成する。単結晶TiN層26の形成条件を、例えば以下のとおりとすることができる。尚、第1成膜段階において単結晶 CoSi_2 層20の表面にTiNの核を形成し、第2成膜段階において、この核から単結晶Ti

i Nを成長させる。第1成膜段階においては、単結晶T i Nを10モノレイヤー／分又はそれ以下の成長速度でエピタキシャル成長させることが望ましい。第1成膜段階を設けることによって第2成膜段階における単結晶T i N層の成長速度を早くすることができる。

〔第1成膜段階の条件〕

使用ガス : T i C l₄/H₂/N₂=2/2.6/0.8 sccm
 温度 : 750° C
 膜厚 : 0.5 nm
 圧力 : 6.6×10⁻⁴ Pa
 マイクロ波パワー : 2.8 kW

〔第2成膜段階の条件〕

使用ガス : T i C l₄/H₂/N₂=20/26/8 sccm
 温度 : 750° C
 膜厚 : 70 nm
 圧力 : 0.12 Pa
 マイクロ波パワー : 2.8 kW

これによって、エピタキシャル成長した単結晶T i N層26が開口部24の底部を含む絶縁層22Bの全面に形成される(図3の(A)参照)。尚、実施例1においては、成膜時の温度は700~1250° Cとすることが望ましい。尚、単結晶T i N層の形成条件によっては、単結晶T i N層26が絶縁層22B上で完全なるエピタキシャル成長しない場合があるが、本発明の目的を十分達成することができるので、差し支えない。

【0047】〔工程-140〕その後、金属配線材料を開口部24内に埋め込み、接続孔28を形成する。実施例1においては、金属配線材料としてタングステン

(W)を使用した。即ち、例えば以下の条件のCVD法にて、タングステンを単結晶T i N層26の上に堆積させる。絶縁層22B上のタングステン層の厚さを400 nmとした。

使用ガス : W F₆/H₂=95/550 sccm
 温度 : 450° C
 圧力 : 1.1×10⁻⁴ Pa

【0048】次いで、エッチバックを行い、絶縁層22B上のタングステン層及び単結晶T i N層26を除去し、開口部24内のみにタングステン層及び単結晶T i N層26を残す。こうして接続孔28が完成する(図3の(B)参照)。尚、エッチバックの条件を以下に例示する。

使用ガス : S F₆=50 sccm
 マイクロ波パワー : 850 W
 RFパワー : 150 W
 圧力 : 1.33 Pa

【0049】〔工程-150〕その後、スパッタ法にてバリア層30及び上層配線層32を形成する。実施例1においては、バリア層30は、下からT i層(厚さ30

nm)/T i O N層(厚さ70 nm)の2層構造である。また、上層配線層32はA l-1% S i(厚さ500 nm)から成る。各層のスパッタ条件を、以下に例示する。

〔T i成膜条件〕

プロセスガス : A r=100 sccm
 パワー : 4 kW
 成膜温度 : 150° C
 圧力 : 0.47 Pa

10 〔T i O N成膜条件〕

プロセスガス : A r/N₂-6% O₂=40/70 sccm
 パワー : 5 kW
 圧力 : 0.47 Pa

〔A l-1% S i成膜条件〕

プロセスガス : A r=40 sccm
 パワー : 22.5 kW
 成膜温度 : 150° C
 圧力 : 0.47 Pa

20 【0050】その後、レジストパターンニング及びドライエッチングを行い、上層配線層32及びバリア層30を所望の配線パターン形状とする。ドライエッチングの条件を以下に例示する。

使用ガス : B C l₃/C l₂=60/90 sccm
 マイクロ波パワー : 1000 W
 RFパワー : 50 W
 圧力 : 0.016 Pa

30 【0051】こうして、図1に示す配線構造を形成することができる。ソース・ドレイン領域から成る下層導体領域18の表面には単結晶C o S i₂層20が形成されており、下層導体領域18の低シート抵抗化を図ることができる。また、単結晶C o S i₂層20の上には、バリア性に優れた単結晶T i N層26が形成されている。単結晶T i N層26を形成する前に水素プラズマ処理によって自然酸化膜等を除去する際、既にC o S i₂層20が形成されているので、シリコン結晶内に水素原子が入り込むことを抑制することができる。更には、単結晶T i N層26の形成の際、窒素プラズマにシリコン半導体基板表面が晒されることがなく、S i N膜の形成を防止することができる。

40 【0052】(実施例2) 実施例1においては、単結晶T i N層26は開口部24の底部において単結晶C o S i₂層20と接している。これに対して、実施例2においては、単結晶T i N層は単結晶C o S i₂層の上に全面に形成される。また、実施例1においては、開口部24内にタングステンを埋め込んで接続孔28を形成した。これに対して、実施例2においては、上層配線層をアルミニウム系配線材料のスパッタリングにて形成する際、併せて開口部24内をアルミニウム系配線材料で埋め込み接続孔28を形成する。

【0053】〔工程-200〕先ず、方位(100)を有するシリコン半導体基板10上に、従来の方法に基づき、素子分離領域12及びゲート電極14を形成し、次いで、LDD構造の形成、ゲートサイドウォール16の形成、ソース・ドレイン領域から成る下層導体領域18の形成を行う。これらの形成条件は、実施例1の〔工程-100〕と同様とすることができる。

【0054】〔工程-210〕次に、ソース・ドレイン領域から成る下層導体領域18の表面に単結晶C₆Si₂層20を形成する。この工程も、実施例1の〔工程-110〕と同様とすることができる。

【0055】〔工程-220〕その後、単結晶C₆Si₂層20の上に単結晶TiN層40を形成する。そのために、先ず、実施例1の〔工程-130〕にて説明した水素プラズマ処理を行い、単結晶C₆Si₂層20の表面に形成された自然酸化膜等を除去する。次に、ECRCVD法によって単結晶TiN層40を単結晶C₆Si₂層20上のみに選択的に形成する。成膜時の温度を実施例1の〔工程-130〕よりも低くすることによって、単結晶TiN層40は単結晶C₆Si₂層20上のみに選択的に形成される。成膜時に基板バイアスを印加させることによりTiNの単結晶化を一層促進させることが望ましい。単結晶TiN層40の形成条件を、例えば以下のとおりとすることができる。尚、第1成膜段階においてC₆Si₂層20の表面にTiNの核を形成し、第2成膜段階において、この核から単結晶TiNを成長させる。

〔第1成膜段階の条件〕

使用ガス : TiCl₄/H₂/N₂=2/2.6/0.8sccm
 温度 : 300°C
 膜厚 : 0.5nm
 圧力 : 6.6×10⁻⁴Pa
 マイクロ波パワー : 2.8kW

〔第2成膜段階の条件〕

使用ガス : TiCl₄/H₂/N₂=20/26/8sccm
 温度 : 300°C
 膜厚 : 70nm
 圧力 : 0.12Pa
 マイクロ波パワー : 2.8kW

これによって、エピタキシャル成長した単結晶TiN層40が単結晶C₆Si₂層20の上に形成される(図4の(A)参照)。尚、ゲート電極14の上には多結晶TiN層40Aが形成される。また、上記の成膜条件では、素子分離領域12の上にはTiN層は形成されない。

【0056】〔工程-230〕次に、実施例1の〔工程-120〕と同様に、全面に絶縁層22A、22Bを形成した後、絶縁層22A、22Bに開口部24を形成し

(図4の(B)参照)、イオン注入を行って接合領域を形成し、1050°C×5秒の活性化アニールを行う。

【0057】〔工程-240〕次いで、スパッタ法にてTiから成る厚さ30nmの下地層42を開口部24を含む絶縁層22B上に形成し、続いて、高温アルミニウムスパッタ法にて下地層42上にAl-1%Siから成る厚さ500nmの上層配線層44を形成する。下地層42及び上層配線層44の形成条件を、例えば以下のとおりとすることができる。

〔下地層の形成条件〕

プロセスガス : Ar=100sccm
 パワー : 4kW
 成膜温度 : 150°C
 圧力 : 0.47Pa

〔上層配線層の形成条件〕

プロセスガス : Ar=40sccm
 パワー : 22.5kW
 成膜温度 : 500°C
 圧力 : 0.47Pa

【0058】その後、実施例1の〔工程-150〕と同様に、レジストパターニング及びドライエッチングを行い、上層配線層44及び下地層42を所望の配線パターン形状とする。

【0059】(実施例3) 実施例3は実施例2の変形である。実施例2においては、単結晶TiN層40を選択的に単結晶C₆Si₂層20上に形成した。実施例3においては、単結晶C₆Si₂層を含む半導体基板の全面にTiN層を形成し、その後、単結晶C₆Si₂層上の単結晶TiN層、及び配線部として使用する単結晶TiN層を残し、TiN層の他の部分を除去する。

【0060】〔工程-300〕先ず、方位(100)を有するシリコン半導体基板10上に、従来の方法に基づき、素子分離領域12及びゲート電極14を形成し、次いで、LDD構造の形成、ゲートサイドウォール16の形成、ソース・ドレイン領域から成る下層導体領域18の形成を行う。これらの形成条件は、実施例1の〔工程-100〕と同様とすることができる。

【0061】〔工程-310〕次に、ソース・ドレイン領域から成る下層導体領域18の表面に単結晶C₆Si₂層20を形成する。この工程も、実施例1の〔工程-110〕と同様とすることができる。

【0062】〔工程-320〕その後、単結晶C₆Si₂層20の上に単結晶TiN層40を形成する。また、単結晶C₆Si₂層以外の領域にも単結晶TiN層40Aを形成する。そのために、先ず、実施例1の〔工程-130〕にて説明した水素プラズマ処理を行い、単結晶C₆Si₂層20の表面に形成された自然酸化膜を除去する。次に、ECRCVD法によって単結晶C₆Si₂層20上に単結晶TiN層40を形成し、併せて、他の領域にも単結晶TiN層40Aを形成する。尚、単結晶

TiN層の形成条件によっては、単結晶TiN層40Aは他の領域（例えば素子分離領域12）上で完全なるエピタキシャル成長しない場合があるが、本発明の目的を十分達成することができるので、差し支えない。

【0063】成膜時の温度を実施例2の「工程-220」よりも高くすることによって、単結晶TiN層40が単結晶CoSi₂層20上に形成され、しかも、他の領域にも単結晶TiN層40Aが形成される。成膜時に基板バイアスを印加させることによりTiNの単結晶化を一層促進させることが望ましい。TiN層40、40Aの形成条件を、例えば以下のとおりとすることができる。尚、第1成膜段階においてCoSi₂層20等の表面にTiNの核を形成し、第2成膜段階において、この核から単結晶TiN層を成長させる。

〔第1成膜段階の条件〕

使用ガス : TiCl₄/H₂/N₂=2/2、
6/0、8sccm
温度 : 750°C
膜厚 : 0.5nm
圧力 : 6.6×10⁻⁴Pa
マイクロ波パワー : 2.8kW
基板RFバイアス : -50W

〔第2成膜段階の条件〕

使用ガス : TiCl₄/H₂/N₂=20/2
6/8sccm
温度 : 750°C
膜厚 : 70nm
圧力 : 0.12Pa
マイクロ波パワー : 2.8kW
基板RFバイアス : -50W

これによって、エピタキシャル成長した単結晶TiN層40が単結晶CoSi₂層20の上に形成され、他の領域にも単結晶TiN層40Aが形成される。

【0064】〔工程-330〕その後、レジストパターンニング後ドライエッチングすることによって、不要な単結晶TiN層40Aを除去し、配線部として必要な単結晶TiN層40を残す。ドライエッチングの条件を、例えば以下のとおりとすることができる。

使用ガス : BCl₃/Cl₂=60/90sccm
パワー : 50W
圧力 : 2Pa

【0065】〔工程-340〕次に、実施例1の「工程-120」と同様に、全面に絶縁層22A、22Bを形成した後、絶縁層22A、22Bに開口部24を形成し、イオン注入を行って接合領域を形成し、1050°C×5秒の活性化アニールを行う。

【0066】〔工程-350〕次いで、実施例2の「工程-240」と同様に、スパッタ法にてTiから成る厚さ30nmの下地層42を開口部24を含む絶縁層22B上に形成し、続いて、高温アルミニウムスパッタ法に

て下地層42上にAl-1%Siから成る厚さ500nmの上層配線層44を形成する。その後、実施例1の「工程-150」と同様に、レジストパターンニング及びドライエッチングを行い、上層配線層44及び下地層42を所望の配線パターン形状とする。こうして、図5に模式的な一部断面図を示す配線構造を形成することができる。

【0067】以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例にて説明した各種条件や数値は例示であり、適宜変更することができる。

【0068】絶縁層22A、22Bは、SiO₂とBP SGの組み合わせ以外にも、PSG、BSG、AsSG、PbSG、SbSG、あるいはSiN等の公知の絶縁材料、あるいはこれらの絶縁材料の組み合わせから構成することができる。アルミニウム系配線材料としては、Al-1%Si以外にも、純Al、あるいはAl-Si-Cu、Al-Cu、Al-Ge等のAl合金を挙げることができる。

【0069】実施例1における接続孔の形成方法を実施例2に説明した接続孔の形成方法に置き換えることができる。即ち、実施例1において、単結晶TiN層26を形成した後、高温アルミニウムスパッタ法にて単結晶TiN層26上にAl-1%Siから成る厚さ500nmの上層配線層32を形成することによって、上層配線層の形成及び接続孔の形成を行うことができる。

【0070】スパッタ法による各種の層の形成は、マグネトロンスパッタリング装置、DCスパッタリング装置、RFスパッタリング装置、ECRスパッタリング装置、また基板バイアスを印加するバイアススパッタリング装置等各種のスパッタリング装置にて行うことができる。CVD装置としては、ECRCVD装置以外にも、熱CVD装置、プラズマCVD装置、ヘリコン波、IPC（Inductively Coupled Plasma）等のプラズマ発生源を備えたCVD装置を用いることができる。また、自然酸化膜の除去として、水素プラズマ処理以外にも、IPCソフトエッチ等のイオンバイアスを低減化したArスパッタエッチング法を採用することができる。

【0071】実施例1及び実施例2にて説明した配線構造及びその形成方法を組み合わせることもできる。即ち、単結晶CoSi₂層20の表面に単結晶TiN層40を形成し、合わせて、開口部の底部にも単結晶TiN層26を形成してもよい。

【0072】本発明の配線構造は、MOS型トランジスタ以外の他のデバイス、例えばバイポーラトランジスタやCCD等にも適用できる。

【0073】

【発明の効果】本発明においては、開口部底部に単結晶CoSi₂層が形成されているので下層導体領域のシート抵抗を低減することができ、且つ、下層導体領域と接

続孔内の配線材料との間の反応を単結晶TiN層によって防止することができる。また、接続孔の底部に単結晶TiN層が形成されているので、バリア性が格段に向上する。

【0074】しかも、自然酸化膜等の除去を行い、引き続き単結晶TiN層の形成を行うので、単結晶CoSi₂層と単結晶TiN層の界面が原子レベルで清浄に保たれる。それ故、理想的なオーミック接合となり、コンタクト抵抗を低減化することができる。

【0075】更に、半導体基板表面は単結晶CoSi₂層で覆われておりシリコン面が露出していないので、単結晶TiN層の形成前の前処理として水素プラズマ処理を行っても、半導体基板中に結晶欠陥が生じることを抑制することができるし、窒素プラズマによるSiN膜の形成も防止することができる。

【0076】更には、従来、多結晶性のTiN層をパターンニングすることによって配線部としたが、実施例3の配線構造においては単結晶TiN層40Aを配線部として用いるので、配線抵抗の低抵抗化を図ることができる。

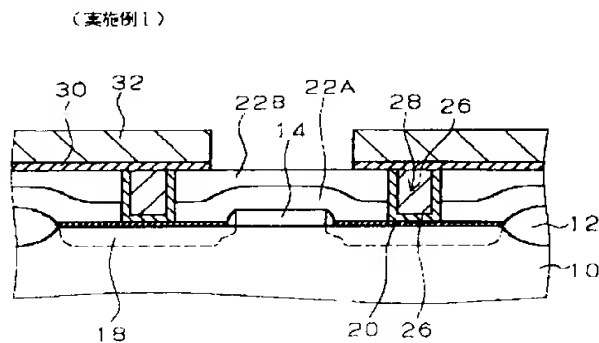
【図面の簡単な説明】

【図1】実施例1の配線構造を示す、半導体装置の模式的な一部断面図である。

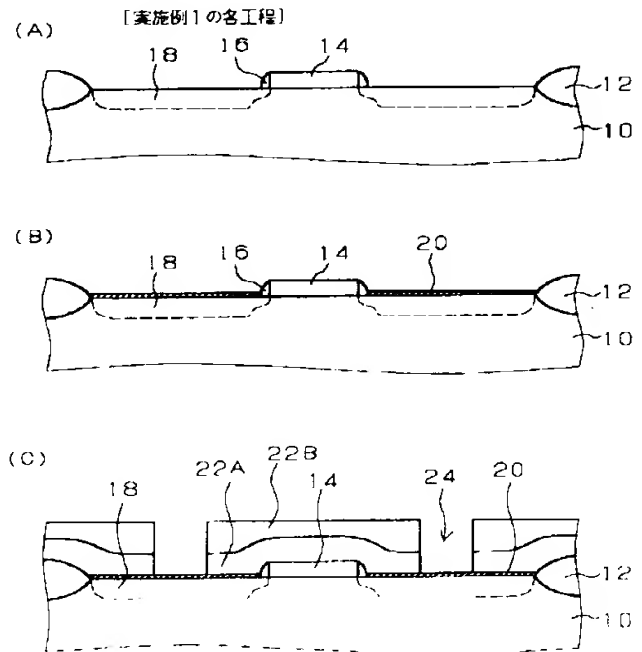
【図2】実施例1の配線形成方法の各工程を説明するための半導体素子の模式的な一部断面図である。

【図3】図2に引き続き、実施例1の配線形成方法の各*

【図1】



【図2】



*工程を説明するための半導体素子の模式的な一部断面図である。

【図4】実施例2の配線形成方法の各工程を説明するための半導体素子の模式的な一部断面図である。

【図5】実施例1の配線構造を示す、半導体装置の模式的な一部断面図である。

【図6】従来の配線形成方法の各工程を説明するための半導体素子の模式的な一部断面図である。

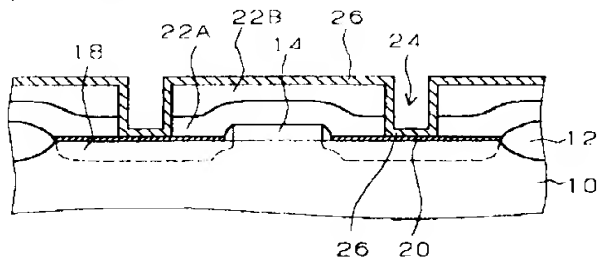
【図7】図6に引き続き、従来の配線形成方法の各工程を説明するための半導体素子の模式的な一部断面図である。

【符号の説明】

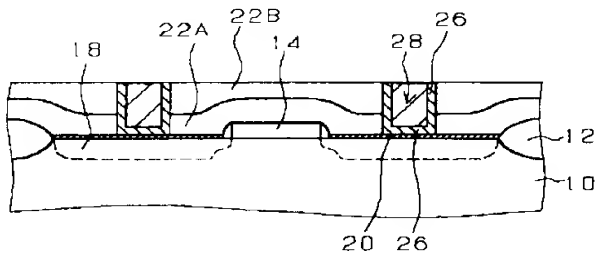
- 10 半導体基板
- 12 素子分離領域
- 14 ゲート電極
- 16 ゲートサイドウォール
- 18 下層導体領域
- 20 単結晶CoSi₂層
- 22A, 22B 絶縁層
- 24 開口部
- 26, 40 単結晶TiN層
- 28 接続孔
- 30 バリア層
- 32, 44 上層配線層
- 40A 単結晶TiN層から成る配線部
- 42 下地層

【図3】

(A) 【実施例1の各工程】 続き

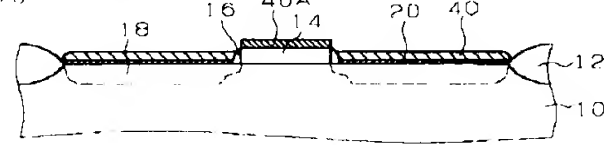


(B)

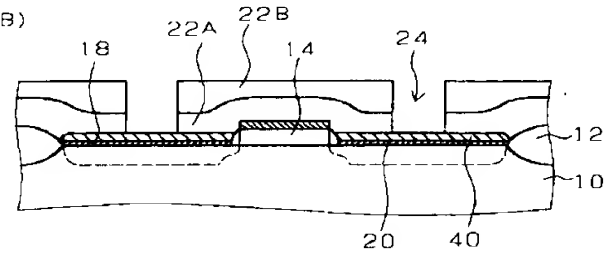


【図4】

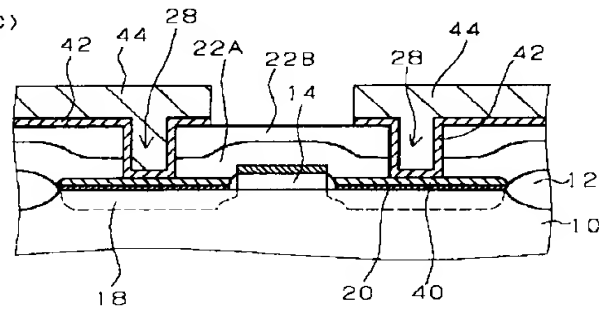
(A) 【実施例2の各工程】



(B)

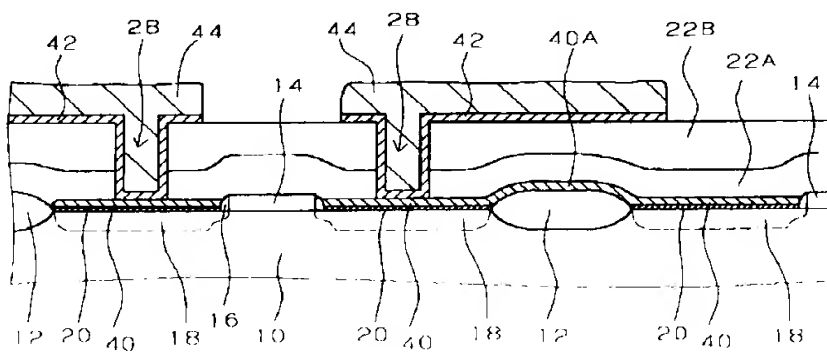


(C)

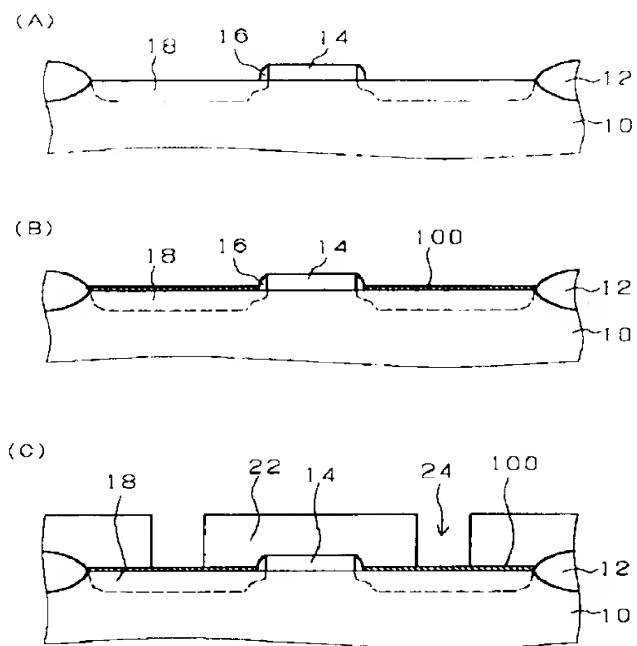


【図5】

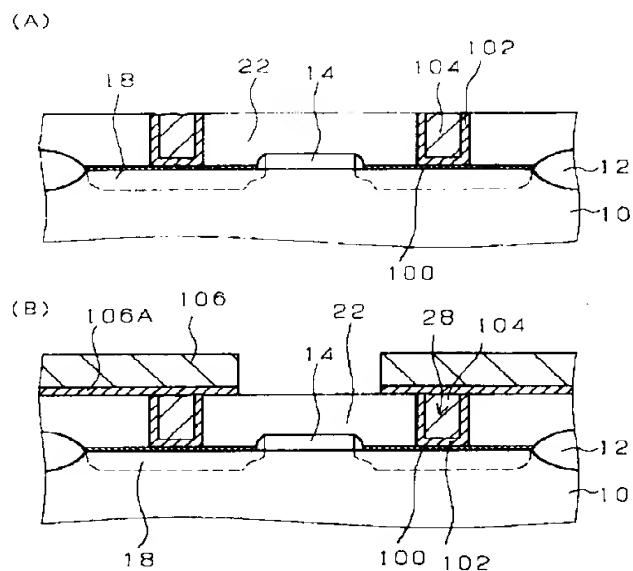
(実施例3)



【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁶

H01L 21/768

識別記号

庁内整理番号

F1

技術表示箇所

H01L 21/90

B